

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## (54) SEMICONDUCTOR DEVICE

(11) 58-112348 (A) (43) 4.7.1983 (19) JP

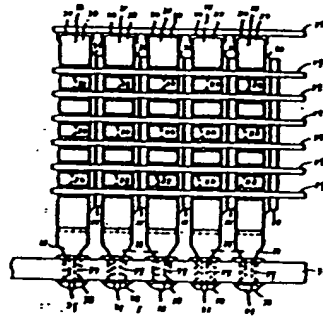
(21) Appl. No. 56-211715 (22) 25.12.1981

(71) FUJITSU K.K. (72) NOBUHIKO MIZUO

(51) Int. Cl. H01L 23/12 H01L 23/48

**PURPOSE:** To obtain a chip carrier mounted semiconductor device having a structure that the device can be loaded vertically to a wiring substrate.

**CONSTITUTION:** In a structure wherein the mount density is most enhanced, semiconductor memory devices 35 are erected and arranged on the wiring substrate in a state that each is contacted on the upper and lower surfaces, and the pin external conductive terminal 21 of each semiconductor memory device 35 is inserted into a fixed through hole 37 in the wiring substrate 36, then soldered and fixed. On a coat external conductive terminal 22 the common signal terminal in each memory device 35, a series of common signal wires constituted respectively of conductor 39 are soldered at every row. Two pieces of the pin external conductive terminal are provided, but any number of pieces are available, as required. Or, one, which is bar form and formed by burying one end in the carrier, can be also used. While, the cap can be formed of ceramics. Further, it is applicable to a metallic package and a plastic package.



③ 日本国特許庁 (JP)  
④ 公開特許公報 (A)

① 特許出願公開

昭58—112348

⑤ Int. Cl.  
H 01 L 23/12  
23/48

識別記号

庁内整理番号  
7357-5F  
7357-5F

⑥ 公開 昭和58年(1983)7月4日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑦ 半導体装置

⑧ 特 願 昭56-211715  
⑨ 出 願 昭56(1981)12月25日  
⑩ 発 明 者 水尾允彦

川崎市中原区上小田中1015番地

富士通株式会社内

⑪ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

⑫ 代 理 人 弁理士 松岡宏四郎

1. 発明の名称

2. 特許請求の範囲

半導体チップが、一外部側面にピン状の外部導電端子を有し、他の外部側面に指状の外部導電端子を有するチップ・キャリアに実装されてなることを特徴とする半導体装置。

3. 発明の詳細な説明

(A) 発明の技術分野

本発明は半導体チップがチップ・キャリアに実装された半導体装置に係り、特に半導体チップとして半導体メモリ素子がチップ・キャリアに実装された半導体装置に於ける外部導電端子の構造に関するものである。

(B) 技術的背景

計算機システム等の大規模化に伴い、計算機システムに搭載される半導体メモリ素子等の半導体装置回路 (I.C.) 素子の数は非常に増大となっており、このことはシステムの大規模化を招き、

それに伴ってシステム内の配線長が長くなり計算機速度の低下を招く。そこで、計算機システム等に対する半導体 I.C. 素子の実装密度を高めシステムの大規模化を促す手段として提供されたのが、チップ・キャリア実装構造の半導体 I.C. 装置である。

(C) 従来の技術と問題点

従来から用いられているチップ・キャリアの中で、最も実装密度が高められる構造にリードレス・チップ・キャリアがある。図1図はリードレス・チップ・キャリアに実装された半導体 I.C. 装置に於ける一例の断面図 (I) 及び底面図 (II) を示したものである。そして図 (I) に於て1はセラミック基板、2はセラミック層、3は底面に金 (Au) のめっき等が施されたチップ・スタンプ、4は底面に Au のめっき等が施されている内部配線、5は内部配線からそれぞれ引出される Au のめっき等が施されている外部配線、6は外部配線がそれぞれ底面に引出される底面に Au のめっき等が施された指状の外部端子、7はチップろう付け用ノライズ層、8は金属キャップ、9は銅 (Cu) 合金等のろう材、

10は半導体ICチップ、11はボンディング・ワイヤ、12はアルミニウム(Al)等のボンディング・ワイヤ、13は金(Au)/シリコン(81)層を示している。

このように製造を有する従来のナップ・キャリアに充填された半導体 IC 装置は、計算機システム等に配設される配線基板上に対して底面を下にして水平に（平面）充填される。その充填状態を示したのが図 2 図で、图中 14 は前記ナップ・キャリアに充填製造の半導体 IC 装置、15 はセフ（シス）成るいはプラステナスにより形成された配線基盤、16 は配線パターン、6 は前記外部端子、17 は平坦層のろう材を覆っている。

上図のように従来のチップ・キャリヤ実装構造の半導体IC装置に於ては配線基板に対して半導体実装がなされるために、チップ・キャリヤの平面積によって実装密度が制限され更に実装密度を高めることができなかった。

## 4 说明目的

本見明以上記問題点に鑑み、配膳基帳に対して

プ・キャリア23上に例えば金属ナップ28が  
 形成されてはいる。なお前記ナップ・キャリ  
 ア23に於けるピン状外部導電端子21は、通常  
 製造の内部配線26からナップ・キャリア23  
 の一面に突出せられた外部配線27の上に鉄／ニ  
 ッケル合金等通常の端子材料からなる例えばピン  
 状打抜き加工片が銀ろう28等によりろう付けさ  
 れて形成され、又被前記外部導電端子22は内部  
 配線26からナップ・キャリア23の他記以外  
 の三側面に突出せられた外部配線27の上に金め  
 っし等が施されて形成される。そして半導体ノモリ  
 ・ナップ24は通常製造のナップ・スプーツ29  
 上に金／シリコン合金30等を介してろう付けさ  
 れ、例えば該半導体ノモリ・ナップ24のナップ  
 ・モリト端子等ナップ固有の信号が読まれるベ  
 ッド端子31ととピン状外部導電端子に接続する  
 内部配線26ととがアルミニウム等のボンディン  
 グ・ワイヤ31により形成される。又入出力端子、  
 電流端子等各ノモリ・ナップに対して共通に配線  
 されるベッド端子31とと被前記外部導電端子22

・「チャリア」実験の半導体装置を提供し、実験結果を向上せしめることを目的とする。

### (c) 飛翔の構成

不透明な半導体膜に於て、半導体チップが、  
一外側周面にピン状の導電端子を有し他の外側周  
面に被膜状の導電端子を有するチップ・キャリア  
に実装されてなることを特徴とする。

### (1) 免明の実施例

以下本発明を、半導体メモリ装置に於ける一実施例について、第3図に示す上面図(H)、側面図(H、A-A'矢視断面図(F)、下面図(F)、及び第4図に示す実施方法に於ける一実施例の上面図(G)、側面図(G)を用いて詳細に説明する。

本発明を適用した半導体メモリ装置は、例えば  
第3図切、付、付、付に示すよう、一側面に列え  
ば2(本)のピン状外部導電端子23が配設され、  
他の三側面に所定数の被覆状外部導電端子22が  
配設されたメモリ・チップ・キャリア23内  
に半導体メモリ・チップ24が実装され、該チッ

に接する内貼部26とがガンティング・ワイヤ32により接合される。本発明の構造に於ては、通常このようにピン状外部導電端子21をタップ・セレクト端子等名ノモリ位置に固有な信号端子とし、被覆状外部導電端子22を入出力端子或るいは電線端子等名ノモリ位置に於ける共通信号の端子とする。そして上記のように半導体メモリ・チップ24が実装されたタップ・キャリヤ23上面に形成されている通常構造の封止層33上に絶縁/結合金等のろう材34を介して金翼チップ25が気密にろう付けされている。

本発明の側面を有する半導体装置は、半導体装置に配設されたピン状外部導電端子を介して配設基板上に立てて実装することができる。

第4図は前記実例の断面に示した半導体ノボリ膜、  
の實例を图示したもので、图中21はピン状  
部導電端子（鉤有型端子）、22は被膜状外  
導電端子（共通型端子）、23はセラミッ  
ック・キャップ、25は金属キャップ、34は  
はろう材、35は半導体ノボリ膜、36は

ア、26a及び26bは1  
bは外周配線、28は第2  
アーク、30は金/レリコ  
bはバッド端子、32はw  
33は列止部、34はろう  
り保護、36は配線基盤、  
38は半田、39は導線部。

代理人 弁護士

、半導体チップが、  
子をもし他の外周部  
るチップ・パッケージ  
とする。

上上面図(1)、側面図(2)、  
 後面図(3)、及び真上図に  
 対する上面図(4)、側面  
 図(5)

ノセリ設置は、門外は  
下より、一階西に門外  
有階子21が配設され、  
1状外階有階子22が  
トップ・セリ723門  
24が配設され、ドア、

ガボンアンデ・ワ  
し、本発明の構造Kは於て  
外周部を電磁子21を有す  
ノモリ装置Kに固有な位置  
電磁子22を入出力端子  
より装置Kに対する共通  
上記のように水平軸が  
置かれたアブ・ローラ  
と電磁子の間を介して上  
述を介して金属ギヤ  
れておる。

る。導体温度は室温条件  
外周導体周子を介して  
るとしてある。(21)  
IC示した半導体ノモリ  
、0で、图中2.1はピン  
9周子)、2.2は初級巻  
周子)、2.3はセグメン  
2.5は磁気、2.6は  
導体ノモリ巻線、3.0は

メノス等からなる配線高さ、3  
3は平田、39は導線を渡わ  
る。配線高さは最も天候雷風を高めた真横列で、  
真横列の途中に於ては、平導体ノモリ線38は上  
下導体ノモリ線39が重なり合う状態で配線高さ38上に  
立て並べられ、各平導体ノモリ線38のピン状  
の外導線を端子21が配線高さ38に於ける所定の  
スルーホール37に差し込まれ平田付けされて固  
定される。そして各ノモリ線38に於ける共通  
田々端子である被覆状外導線を端子22上には各  
ノモリ線それぞれ導線39からなる一連の共通雷  
線が平田付けされる。

なき上記実施例に於てはピン状外部導電端子を  
 2〔本〕設けたが、該端子は必要に応じて円本でも  
 するつかない。又該ピン状外部導電端子は棒状  
 で一端がキャップ内に埋め込まれて形成されたも  
 のでも良い。又キャップはセラミック素子であつて  
 も良い。更に又本発明は金属パッケージ、プラス  
 チックパッケージにも適用することが出来る。

26.及び26bは内歯配座、27.及び27  
 は外歯配座、28は傾ろう、29はチップ・ス  
 ーク、30は金/シリコン合金、31.及び31  
 はベド端子、32はダンピング・ワイヤ、  
 33は列止栓、34はろう材、35は半導体ノモ  
 ー、36は配座基座、37はスクレーパー、  
 38は半田、39は導通を示す。

代理人 介福士 松岡 定四郎

14-00000-112348 (3)

#### ④ 發明の効果

以上説明したように本発明の構成を有する平準  
体装置は、配線基板上に立てて実装することがで  
きる。そこで第4図に示すような配線基板上への  
実装方法が可視であり、図からも明らかなように  
従来の平準体装置と比べて実装密度を大幅に向  
上せしめることができる。

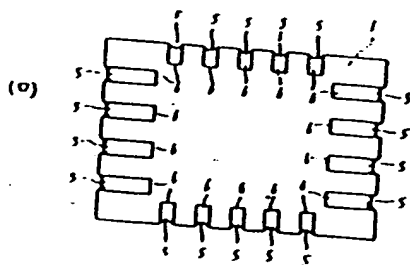
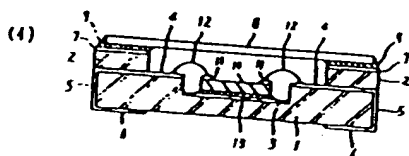
従って本発明は計算機システム等の高速化、小型化に於いて有効である。

#### 4. 國語の簡単な説明

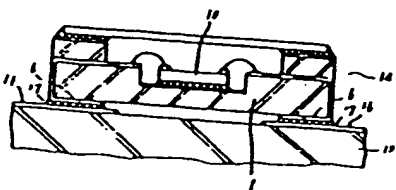
第1圖は従来の製造の断面図付及び下面図付、第2圖は従来の改良製造の断面擴大圖、第3圖は本發明の半導体装置に於ける一實施例の上面図付、側面図付、 $A-A'$ 矢視断面図付、下面図付で、第4圖は本發明の半導体装置に於ける一改良例の上面図付及び側面図付である。

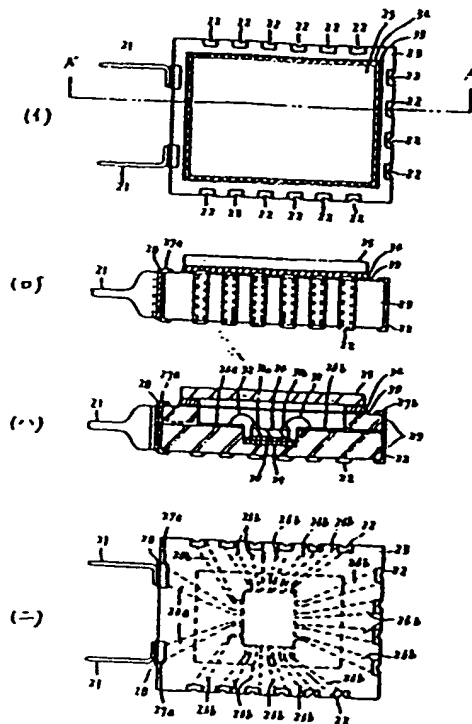
図に於て、21はピン状外部導電端子（固有電  
号端子）、22は波蘭状外部導電端子（共通電号  
端子）、23はセラミック・チップ・キャパシタ、  
24は半導体メモリ・チップ、25は金属チップ

四一五



第 2 回





第 4 圖

